

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-077889  
 (43)Date of publication of application : 10.04.1987

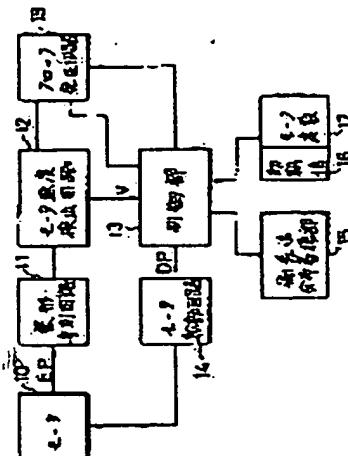
(51)Int.Cl. H02P 5/06

(21)Application number : 60-216469 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 30.09.1985 (72)Inventor : SANNOMIYA AKIO

## (54) MOTOR CONTROLLING SYSTEM

## (57)Abstract:

1 PURPOSE: To perform a stabilized speed control on a  
 2 motor by a method wherein the amount of fluctuation  
 3 corresponding to the fluctuation of the external  
 4 environment is calculated by rotating the motor in a test  
 5 mode based on the initial value data.  
 6 CONSTITUTION: A DC motor 10 is test-operated by a  
 7 control part 13 in a test mode based on the initial value  
 8 data memorized in an initial value memory storage 16. At  
 9 this time, the value of speed deviation, corresponding to  
 10 the amount of fluctuation in accordance with the  
 11 fluctuation of external environment, is calculated and  
 12 said value is memorized in a deviation value distribution  
 13 and accumulation part 15. When the test mode is  
 14 finished, a constant speed mode constant data is  
 15 calculated from the initial value data obtained from the  
 16 initial value memory storage 16 and the deviation value  
 17 obtained from the deviation value distribution and  
 18 accumulation part 15, and the obtained value is  
 19 memorized in a motor constant memory storage 17. The  
 20 DC motor 10 is operated at the fixed speed based on the motor constant read out from the  
 21 motor constant memory storage 17 in an operation mode.



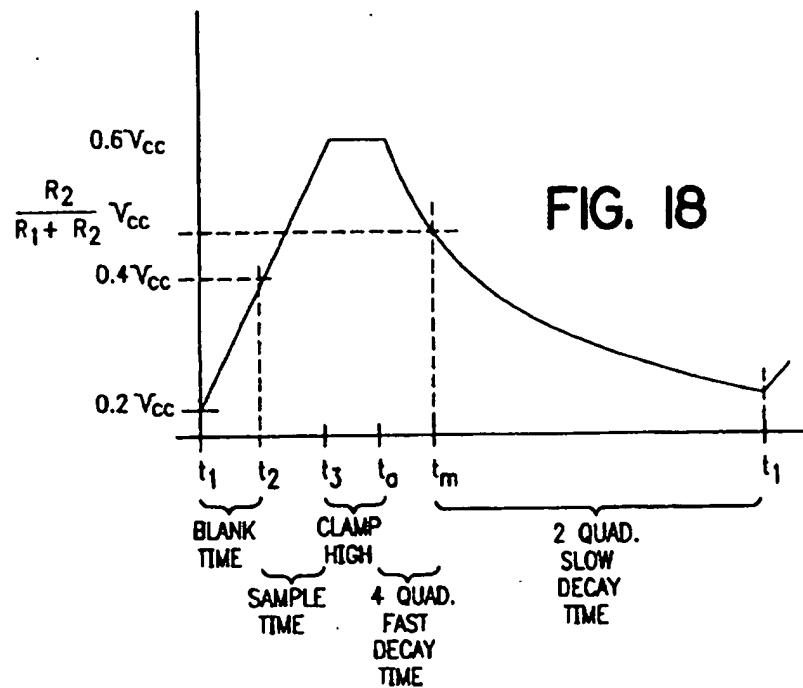


FIG. 18

RESET SIGNAL	RC TIMER OPERATING REGIONS	PWM LATCH OUTPUT(Q)	NOT_REG SIGNAL (Q)	SOURCE DRIVER (53)	SINK DRIVER (52)
0	BLANK	1	1	ON	ON
0	SAMPLE	1	1	ON	ON
0	CLAMP OFF-TIME 1 (t0-tm)	1	1	ON	ON
0	OFF-TIME 2 (tm-t1)	0	1	OFF	ON
1	BLANK	1	1	ON	ON
1	SAMPLE	0	0	OFF	OFF
1	CLAMP OFF-TIME 1 (t0-tm)	0	0	OFF	OFF
1	OFF-TIME 2 (tm-t1)	0	0	OFF	OFF
1		0	1	OFF	ON

FIG. 19

[decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

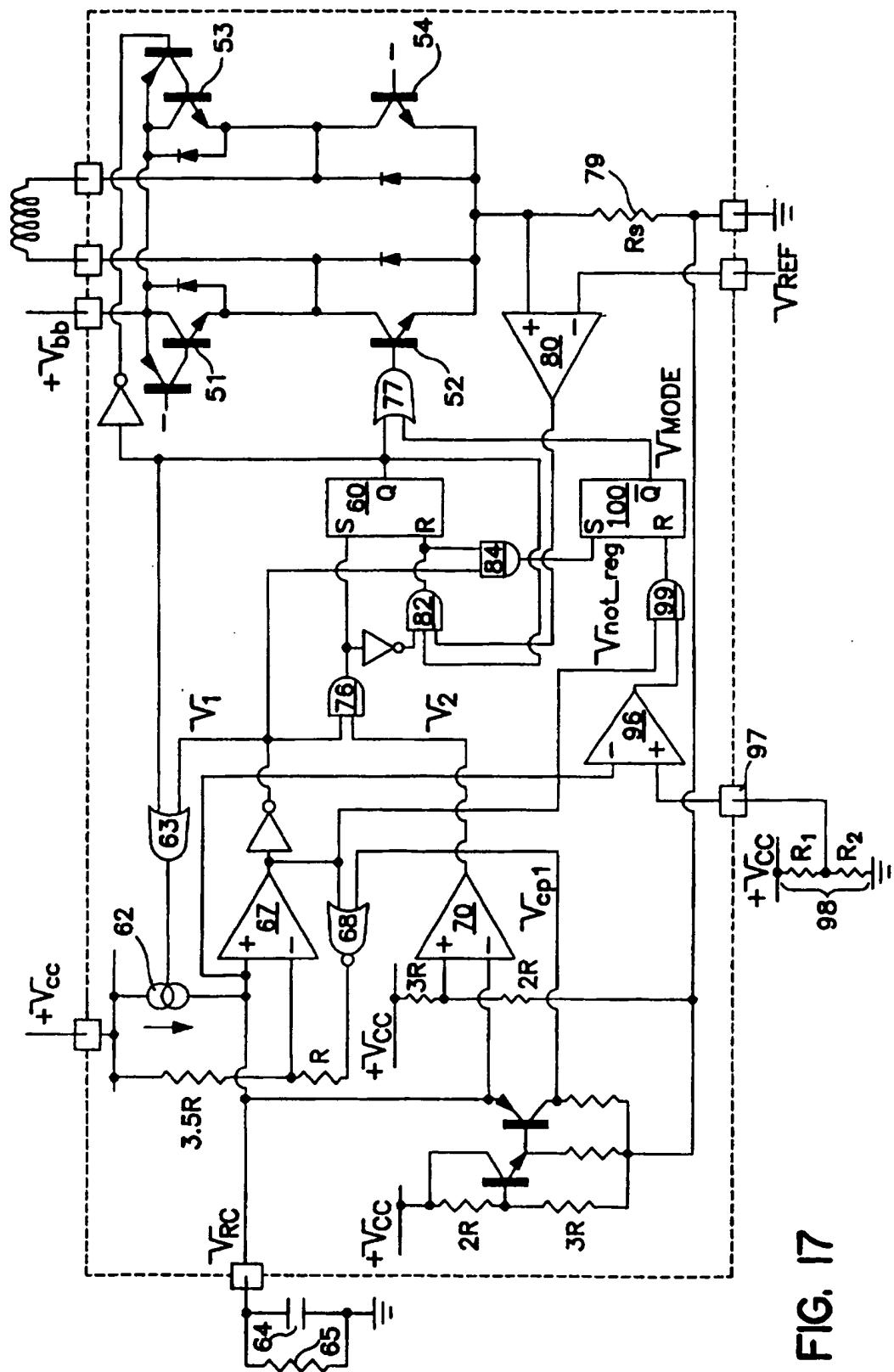


FIG. 17

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-077889  
 (43)Date of publication of application : 10.04.1987

(51)Int.CI. H02P 5/06

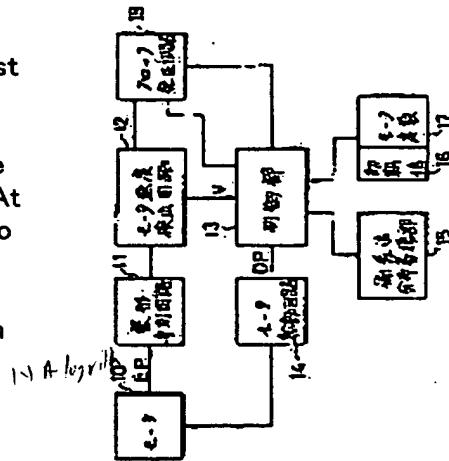
(21)Application number : 60-216469 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 30.09.1985 (72)Inventor : SANOMIYA AKIO

## (54) MOTOR CONTROLLING SYSTEM

## (57)Abstract:

PURPOSE: To perform a stabilized speed control on a motor by a method wherein the amount of fluctuation corresponding to the fluctuation of the external environment is calculated by rotating the motor in a test mode based on the initial value data.

CONSTITUTION: A DC motor 10 is test-operated by a control part 13 in a test mode based on the initial value data memorized in an initial value memory storage 16. At this time, the value of speed deviation, corresponding to the amount of fluctuation in accordance with the fluctuation of external environment, is calculated and said value is memorized in a deviation value distribution and accumulation part 15. When the test mode is finished, a constant speed mode constant data is calculated from the initial value data obtained from the initial value memory storage 16 and the deviation value obtained from the deviation value distribution and accumulation part 15, and the obtained value is memorized in a motor constant memory storage 17. The DC motor 10 is operated at the fixed speed based on the motor constant read out from the motor constant memory storage 17 in an operation mode.



## LEGAL STATUS

[Date of request for examination]

102  
 Jan 1, 4, 13, 16

[Date of sending the examiner's decision of rejection]

103  
 Jan 16

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

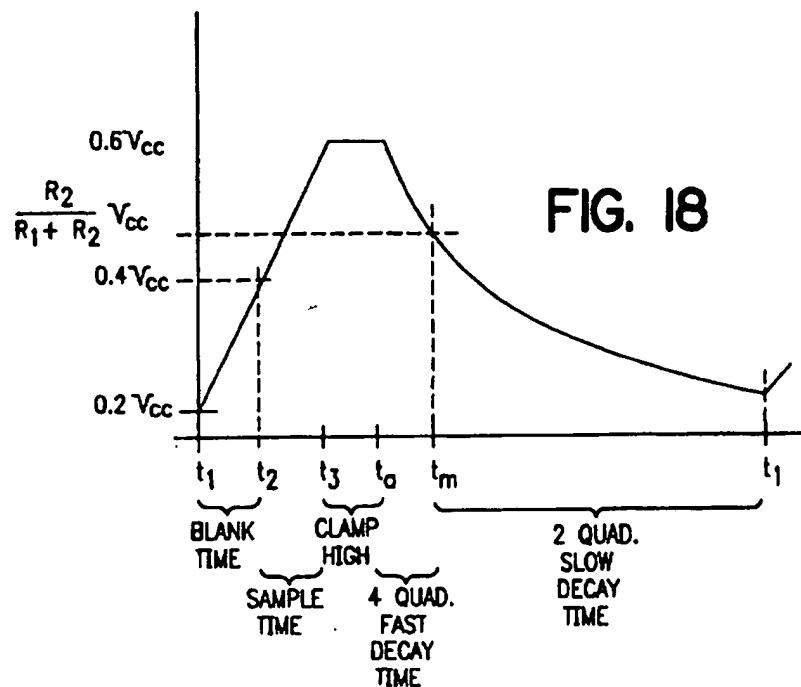
[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's



RESET SIGNAL	RC TIMER OPERATING REGIONS	PWM LATCH OUTPUT(0)	NOT_REG SIGNAL (0)	SOURCE DRIVER (53)	SINK DRIVER (52)
0	BLANK	1	1	ON	ON
0	SAMPLE	1	1	ON	ON
0	CLAMP OFF-TIME 1 (t <sub>0</sub> -t <sub>m</sub> )	1	1	ON	ON
0	OFF-TIME 2 (t <sub>m</sub> -t <sub>1</sub> )	0	1	OFF	ON
0	BLANK	1	1	ON	ON
1	SAMPLE	0	0	OFF	OFF
1	CLAMP OFF-TIME 1 (t <sub>0</sub> -t <sub>m</sub> )	0	0	OFF	OFF
1	OFF-TIME 2 (t <sub>m</sub> -t <sub>1</sub> )	0	1	OFF	ON

FIG. 19

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
⑪ 公開特許公報 (A) 昭62-77889

⑫ Int.CI.  
H 02 P 5/06

識別記号 厅内整理番号  
L-7315-5H

⑬ 公開 昭和62年(1987)4月10日

審査請求 有 発明の数 1 (全4頁)

⑭ 発明の名称 モータ制御方式

⑮ 特 願 昭60-216469  
⑯ 出 願 昭60(1985)9月30日

⑰ 発明者 三宮 昭夫 背梅市末広町2丁目9番地 株式会社東芝背梅工場内  
⑱ 出願人 株式会社東芝 川崎市幸区堀川町72番地  
⑲ 代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

モータ制御方式

2. 特許請求の範囲

予め記憶したモータ定数データに基づいてDCモータの速度制御をデジタル制御方式により行なうモータ制御方式において、

テストモード時に前記モータ定数データの初期値データに基づいて前記DCモータをテスト運転させるテスト運転制御手段と、前記DCモータのテスト運転時にその外的環境の変動に応じた変動分に相当する速度偏差値を算出する速度偏差値算出手段と、前記テストモードから運転モードに変化した際の記憶速度偏差値算出手段により算出された速度偏差値と前記初期値データから運転モード用モータ定数データを作成する運転データ作成手段と、運転モード時に前記運転データ作成手段により作成された運転モード用モータ定数データに基づいて前記DCモータを駆動する駆動制御手段とを具備したことを特徴とするモータ制御方式。

3. 発明の詳細な説明

【発明の技術分野】

本発明は、デジタルサーボ制御方式を利用したDCモータのモータ制御方式に関する。

【発明の技術的背景とその問題点】

従来、例えば光学的記憶装置 (OCR) では、帳票を読み取る部まで搬送する搬送装置の駆動源として、DCモータが使用されている。これは、DCモータが比較的高回転数及び高トルクの特性を有し、しかも速度制御が容易であるからである。

近年、DCモータのサーボ制御には、デジタル制御方式が用いられている。このモータ制御方式では、制御回路としてマイクロプロセッサ (CPU) が使用されており、予め速度毎に対応するモータ定数データのテーブルがメモリに記憶されている。CPUは、メモリのテーブルに基づいて、例えばパルス時間幅に相当する制御変数を作成し、モータ駆動回路に与える。モータ駆動回路は、パルス時間幅に応じた駆動電流をDCモータに供給

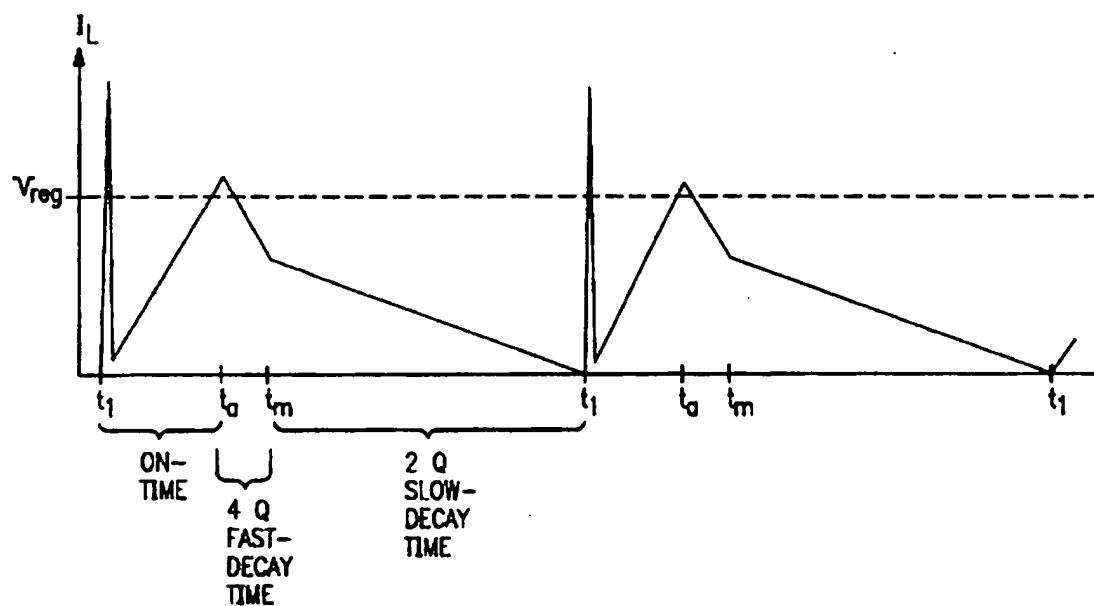


FIG. 16

することになる。

ところで、前記のようなモータ制御方式において、DCモータの定速度制御を行なう際、加速状態から定速状態に移行する初期時点では、一定のモータ定数に基づいてモータを駆動する。この後、モータの速度を監視することにより、モータのサーボ制御を実行している。しかしながら、DCモータの外的環境の変動が大きい場合、定速制御の初期時において、DCモータのサーボ制御が充分機能しないことがある。ここで、外的環境の変動とは、例えば広範囲の温度差が生じて、特に低温時の機械的負荷が増大したりする場合である。これは、初期時において設定されるモータ定数では、DCモータの外的環境の変動分を吸収できないためであると考えられる。

#### 【発明の目的】

本発明の目的は、DCモータのデジタルサーボ制御において、例えば加速から定速への移行時に、DCモータの外的環境の変動が大きい場合でも、安定な速度制御を行なうことができるモータ制御

以下図面を参照して本発明の一実施例を説明する。第1図は一実施例に係わるモータ制御回路の構成を示すブロック図である。DCモータ10は、ロータリエンコーダを備えており、回転に応じたエンコードパルスEPを出力する。整形・弁別回路11は、DCモータ10から出力されたエンコードパルスEPを整形・弁別した後に、モータ速度検出回路12へ出力する。モータ速度検出回路12は、整形・弁別回路11からのエンコードパルスEPの間隔を計数して、DCモータ10の回転速度を検出する。

制御部13は、マイクロプロセッサからなり、テストモードではDCモータ10の外的環境の変動に応じた変動分である速度偏差値を算出し、通常モードでは予め記憶した初期値及びテストモード時に算出した速度偏差値によりモータ定数データを作成する。制御部13は、モータ定数データにより作成する駆動パルスDPをモータ駆動回路14に出力する。モータ駆動回路14は、駆動パルスDPに応じた駆動電流をDCモータ10へ供給する。

方式を提供することにある。

#### 【発明の概要】

本発明は、テストモード時にモータ定数データの初期値データに基づいて、DCモータをテスト運転させるテスト運転制御手段を備えている。速度偏差値算出手段は、DCモータのテスト運転時に、その外的環境の変動に応じた変動分に相当する速度偏差値を算出する。運転データ作成手段は、テストモードから運転モードに変化した際、速度偏差値算出手段により算出された速度偏差値と初期値データから運転モード用モータ定数データを作成する。駆動制御手段は、運転モード時に運転データ作成手段により作成された運転モード用モータ定数データに基づいて、DCモータを駆動するように構成されている。

このようなモータ制御方式により、テストモード時に、DCモータの外的環境の変動に応じた変動分を吸収できる運転モード用モータ定数データを作成することができる。

#### 【発明の実施例】

制御部13により算出された速度偏差値は、偏差値分布蓄積部15であるメモリ(RAM)に記憶される。初期値は、予め初期値メモリ(ROM)16に記憶されている。制御部13により作成されたモータ定数データは、モータ定数メモリ(RAM)17に記憶される。クロック発生回路18は、モータ速度検出回路12及び制御部13へ、各動作に必要なクロックパルスを出力する。

次に、同実施例の動作を第2図乃至第4図を参照して説明する。先ず、制御部13は、テストモードを実行し、通常の運転モードで必要なモータ定数データの設定動作を行なう。制御部13は、予め初期値メモリ16に記憶した初期値データに基づいて、DCモータ10をテスト運転させる。DCモータ10は、回転駆動すると、前記のようなロータリエンコーダからエンコードパルスEPを出力する。モータ速度検出回路12は、エンコードパルスEPのパルス間隔を、クロック発生回路18からのクロックパルスをカウントすることにより計数する。これにより、DCモータ10の速度Vを検出するこ

## OPERATING MODES OF FIG. 12

MODE LOGIC SIGNAL $V_{mode}$	MODE COMPARATOR OUTPUT	SOURCE DRIVER (53)	SINK DRIVER (51)	DECAY MODE
0	0	PWM	PWM	FAST(4Q.)
0	1	PWM	ON	SLOW(2Q.)
1		PWM	ON	SLOW(2Q.)

FIG. 14

$$\text{BLANK TIME} = R_T C_T \ln \left( \frac{I_{CS} R_T - 0.6 V_{CC}}{I_{CS} R_T - 0.22 V_{CC}} \right) \approx \left( I_{CS} = \frac{0.41 V_{CC}}{R_T} \right)$$

$$\text{OFF-TIME} = \text{SLOW TIME} + \text{FAST TIME} = R_T C_T \ln \left( \frac{0.6}{0.22} \right) \approx R_T C_T$$

$$\text{(4 QUADRANT)} \quad \text{FAST TIME} = R_T C_T \ln \left( 0.6 \left( \frac{R_1}{R_2} + 1 \right) \right)$$

$$\% \text{ FAST TIME} = 100 \ln \left( 0.6 \left( \frac{R_1}{R_2} + 1 \right) \right)$$

FIG. 15

とができる。検出される速度Vは、例えば第3図に示すような曲線10で表現される。ここで、第3図では、クロックパルスのカウント数により速度データVを求めるため、速度データVに対する実際の速度Vとの増減関係が逆になっている。

いま仮に、第3図に示すように、時間T<sub>0</sub>でDCモータ10が回転を開始した際、そのときの駆動パルスDPのパルス時間幅をPTwとする。制御部18は、DCモータ10の速度Vを監視しながら、予め決定された監視速度(V<sub>1</sub>-ΔV<sub>1</sub>)を越えたときに、DCモータ10の速度が定速に到達したと判断する(第3図の時点T<sub>c</sub>)。

次に、制御部18は、DCモータ10の所定の定速度V<sub>1</sub>に対して、第3図に示すような外的環境の変動に応じた速度の変動分ΔV<sub>1</sub>を求める。ここで、初期値メモリ16には、第4図(a)に示すような初期値データのテーブルが記憶されている。即ち、DCモータ10の所定の定速度V<sub>1</sub>に対して、初期値データは駆動パルスDPのパルス時間幅PT<sub>1</sub>wに相当するデータである。制御部18は、

16からの初期値データPT<sub>1</sub>wとから、定速モータ定数データ「ΔPT<sub>1</sub>w+PT<sub>1</sub>w」を算出する。この定速モータ定数データ「ΔPT<sub>1</sub>w+PT<sub>1</sub>w」は、モータ定数メモリ17に第4図(b)に示すような状態で記憶される。次に、制御部18は、テストモードから運転モードに切換えると、DCモータ10を回転駆動させる。この場合、制御部18は、テストモード時に求めた定速モータ定数データをモータ定数メモリ17から読み出し、このデータに基づいてDCモータ10を定速度V<sub>1</sub>で運転させることになる。即ち、制御部18は、定速モータ定数データ「ΔPT<sub>1</sub>w+PT<sub>1</sub>w」に相当するパルス時間幅を有する駆動パルスDPをモータ駆動回路14へ出力する。モータ駆動回路14は、この駆動パルスDPのパルス幅に応じた駆動電流をDCモータ10に供給する。このため、DCモータ10は、外的環境の変動が発生しても、その変動分を含む定速モータ定数データ「ΔPT<sub>1</sub>w+PT<sub>1</sub>w」に基づいて駆動するため、安定に定速回転することになる。

速度の変動分ΔV<sub>1</sub>に相当するパルス時間幅ΔPTwを下記式(1)から算出する。

$$\Delta P T w = K ( G \cdot \Delta V_1 + M \cdot \Delta m + J \cdot \Delta n ) \quad \cdots (1)$$

ここで、K、G、M、Jは定数であり、Δmは「V<sub>1</sub>-V(j-1)」、Δnは「ΣΔV<sub>j</sub>」である。

制御部18は、前記式(1)からΔPTwを算出すると、テストモードにおけるサンプリング点での分布を求める。即ち、制御部18は、テストモード時に同一ΔPTwの場合の度数Nをカウントし、第2図に示すような分布状態を偏差値分布蓄積部15に記憶する。このとき、テストモード時の各サンプリング点では、初期値データのPT<sub>1</sub>wを使用し、「PT<sub>1</sub>w+ΔPTw」を次のサンプリング点へのモータ定数データ(PTw)とする。

このようにして、制御部18は、テストモードが終了すると、偏差値分布蓄積部15から最大度数Nを有するΔPT<sub>1</sub>wを求める。制御部18は、偏差値分布蓄積部15からのΔPT<sub>1</sub>wと初期値メモリ

#### 【発明の効果】

以上詳述したように本発明によれば、DCモータのデジタルサーボ制御において、テストモード時に初期値データに基づいて回転させることにより、外的環境の変動に相当する変動分を求めることができる。したがって、例えば加速から定速への移行時に、DCモータの外的環境の変動が大きい場合でも、初期値データと変動分によりDCモータの駆動制御を行なうことにより、安定な速度制御を行なうことができるものである。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例に係わるモータ制御回路の構成をブロック図、第2図及び第3図はそれぞれ同実施例の動作を説明するための特性図、第4図(a)、(b)はそれぞれ同実施例の動作を説明するための図で図(a)は初期値メモリの記憶内容の一例を示す図、図(b)はモータ定数メモリの記憶内容の一例を示す図である。

10…DCモータ、12…モータ速度検出回路、13…制御部、14…モータ駆動回路、15…偏差値分

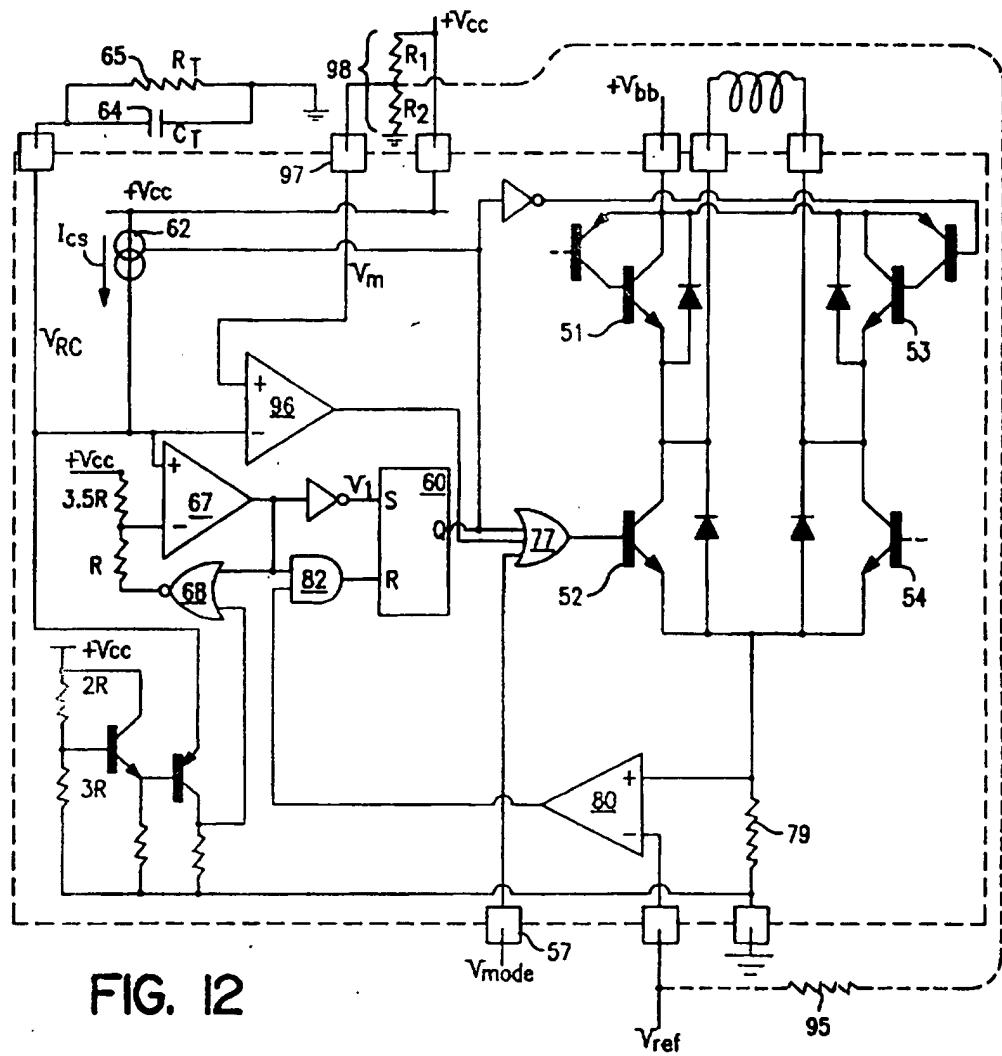


FIG. 12

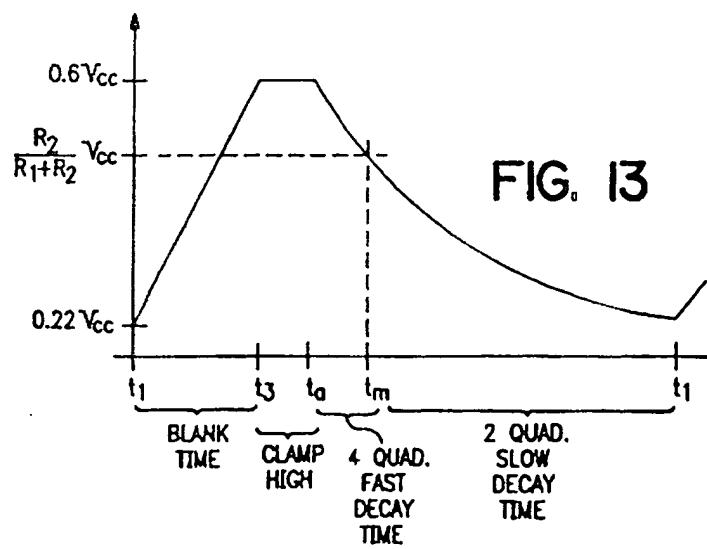


FIG. 13

布音数部、16…初期値メモリ、17…モータ定数メモリ。

出願人代理人 弁理士 鈴江武彦

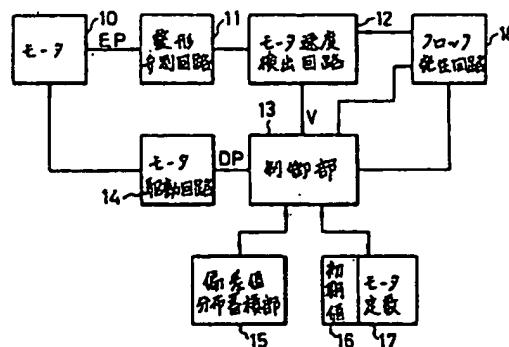
V	PT <sub>w</sub>
V1	PT <sub>1w</sub>
V2	PT <sub>2w</sub>
V1	PT <sub>1w</sub>

(a)

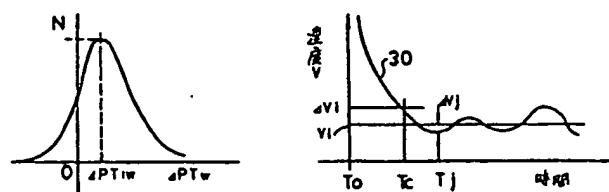
V	PT <sub>w</sub>
V1	PT <sub>1w</sub>
V2	PT <sub>2w</sub>
V1	PT <sub>1w</sub> + PT <sub>2w</sub>

(b)

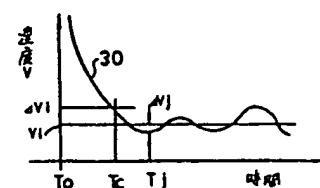
第4図



第1図

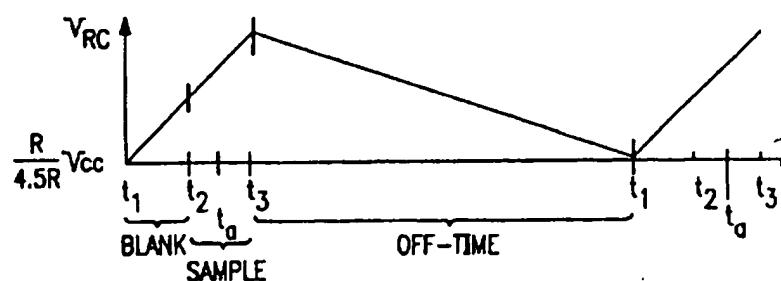
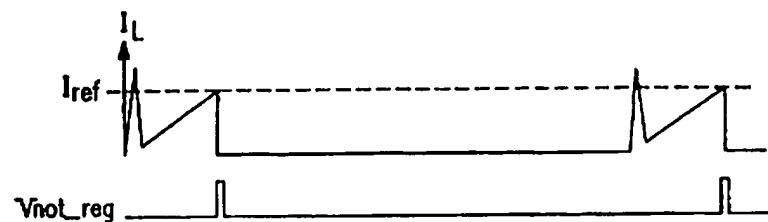
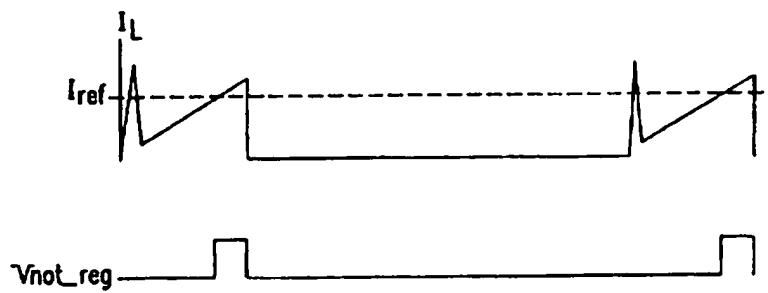
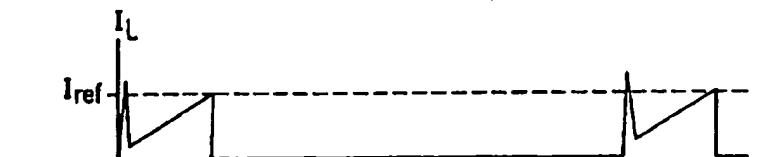


第2図



第3図

162+0659 X  
16253333

**FIG. II d****FIG. II a****FIG. II e****FIG. II b****FIG. II f****FIG. II c****FIG. II g**